

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-058651

(43)Date of publication of application : 25.02.2000

(51)Int.Cl.

H01L 21/768

H01L 21/316

(21)Application number : 11-126795

(71)Applicant : MATSUSHITA ELECTRON CORP

(22)Date of filing : 05.11.1998

(72)Inventor : UEDA TETSUYA

TAMAOKA EIJI

AOI NOBUO

(30)Priority

Priority number : 09304264

Priority date : 06.11.1997

Priority country : JP

09341011

11.12.1997

10155683

04.06.1998

JP

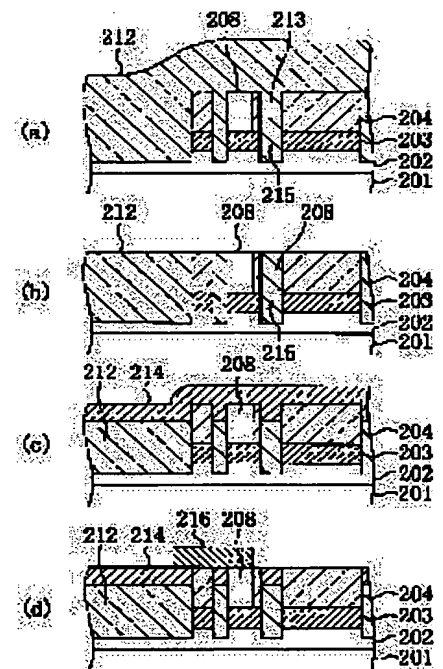
JP

(54) SEMICONDUCTOR DEVICE COMPRISING MULTILAYER INTERCONNECTION AND MANUFACTURE OF THE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce capacitance between adjoining wirings, corresponding to a minute multilayer interconnection, and to connect with sure an inter-layer connection metal to the wiring of upper and lower layers for preventing defectives due to shorting.

SOLUTION: After an insulating film 202, a first metal layer 203, and a first interlayer insulating film 204 are sequentially formed on a semiconductor substrate 201, an opening part is formed at the first interlayer insulating film 204, while an interlayer connection metal 208 is formed at the opening part. After a first wiring is formed by selectively removing a part of the first interlayer insulating film 204, the first metal layer 203, and the insulating film 202 through photolithography and dry-etching, a second interlayer insulating film 212 is formed using a plasma CVD device. After the second interlayer insulating film 212 is flattened, its surface is etched in part. After that, a third interlayer insulating film 214 is deposited. The third interlayer insulating film 214 is so flattened by a CMP method that the surface of the third interlayer insulating film 214 is in the same plane of the upper surface of the interlayer connection metal 208 and the surface of the first interlayer insulating film 204. A second wiring 216 is so formed as to connect to the interlayer connection metal 208.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-58651

(P2000-58651A)

(43)公開日 平成12年2月25日(2000.2.25)

(51)Int.Cl.⁷

識別記号

F I

テーマコード(参考)

H 0 1 L 21/768

H 0 1 L 21/90

A

21/316

21/316

M

21/90

N

審査請求 未請求 請求項の数12 O L (全 20 頁)

(21)出願番号 特願平11-126795
 (62)分割の表示 特願平10-314398の分割
 (22)出願日 平成10年11月5日(1998.11.5)

(31)優先権主張番号 特願平9-304264
 (32)優先日 平成9年11月6日(1997.11.6)
 (33)優先権主張国 日本(J P)

(31)優先権主張番号 特願平9-341011
 (32)優先日 平成9年12月11日(1997.12.11)
 (33)優先権主張国 日本(J P)

(31)優先権主張番号 特願平10-155683
 (32)優先日 平成10年6月4日(1998.6.4)
 (33)優先権主張国 日本(J P)

(71)出願人 000005843
 松下電子工業株式会社
 大阪府高槻市幸町1番1号

(72)発明者 上田 哲也
 大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 玉岡 英二
 大阪府高槻市幸町1番1号 松下電子工業株式会社内

(72)発明者 青井 信雄
 大阪府高槻市幸町1番1号 松下電子工業株式会社内

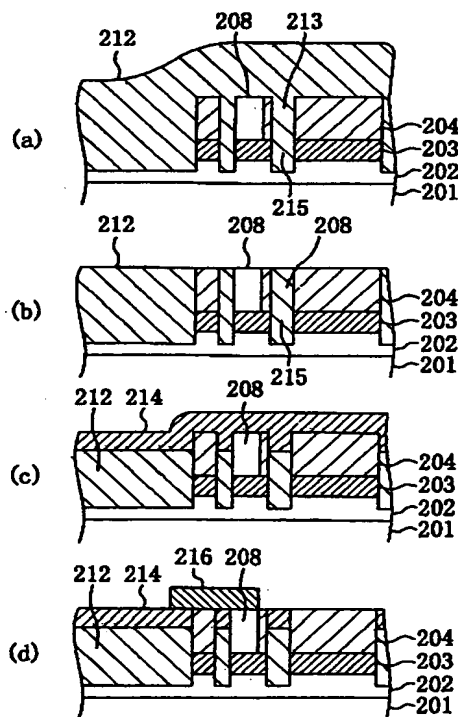
(74)代理人 100077931
 弁理士 前田 弘 (外1名)

(54)【発明の名称】 多層配線を有する半導体装置及びその製造方法

(57)【要約】

【課題】 微細化多層配線に対応して、隣接配線間の容量を低減し、層間接続用金属とその上下層の配線とを確実に接続し、かつショート不良を防止する。

【解決手段】 半導体基板201の上に、絶縁膜202、第1の金属層203、第1の層間絶縁膜204を順次形成した後、第1の層間絶縁膜204に開口部を形成し、開口部へ層間接続用金属208を形成する。フォトリソグラフィとドライエッチングとによって第1の層間絶縁膜204と第1の金属層203と絶縁膜202の一部とを選択的に除去して、第1の配線を形成した後、プラズマCVD装置を使用して第2の層間絶縁膜212を形成する。第2の層間絶縁膜212を平坦化した後、その表面を部分的にエッチングする。その後、第3の層間絶縁膜214を堆積する。第3の層間絶縁膜214の表面が層間接続用金属208の上面および第1の層間絶縁膜204の表面と同一平面になるように、CMP法によって第3の層間絶縁膜214を平坦化する。層間接続用金属208に接続するように第2の配線216を形成する。



【特許請求の範囲】

【請求項1】 同一絶縁膜上に形成された複数の配線から構成される下層配線層であって、前記複数の配線が第1配線と、前記第1配線から第1の間隙において隣接する第2配線と、前記第1配線から前記第1の間隙より広い第2の間隙において隣接する第3配線とを含む下層配線層と、

前記第1配線、前記第2配線および前記第3配線の上に形成された第1の層間絶縁膜と、

を備えた構造を形成する工程と、

前記第1の間隙の上方を実質的に塞ぎ、前記第1の間隙内に空孔を形成するように、第2の層間絶縁膜の下部を構成する第1層間絶縁層を堆積する工程と、

前記第2の層間絶縁膜の上部を構成する、前記第1層間絶縁層よりもカバレッジの良い第2層間絶縁層を堆積することによって前記第2の間隙を埋め込み、かつ前記空孔を完全に覆う工程と、を包含する半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法であって、

前記空孔を露出させないように前記第2の層間絶縁膜を平坦化する工程を更に包含することを特徴とする半導体装置の製造方法。

【請求項3】 請求項1または2に記載の半導体装置の製造方法であって、

前記第2層間絶縁層を前記第1層間絶縁層よりも誘電率の低い有機膜から形成する半導体装置の製造方法。

【請求項4】 同一絶縁膜上に形成された複数の配線から構成される下層配線層であって、前記複数の配線が第1配線と、前記第1配線から第1の間隙において隣接する第2配線と、前記第1配線から第2の間隙において隣接する第3配線とを含む下層配線層と、

前記第1配線、前記第2配線および前記第3配線の上に形成された第1の層間絶縁膜と、

前記第1の層間絶縁膜中に形成され、前記第1配線の上面に接触する接続用金属と、

前記第1の間隙および前記第2の間隙の上方に形成され、前記第1の間隙および前記第2の間隙の各々に空孔を形成する第2の層間絶縁膜と、

前記第2の層間絶縁膜上に形成され、前記層間接続用金属と電気的に接続される上層配線層と、を備えている半導体装置。

【請求項5】 請求項4記載の半導体装置であって、前記上層配線層は埋込構造を持つ配線であり、前記上層配線層は前記第2の層間絶縁膜中に形成されている半導体装置。

【請求項6】 請求項4記載の半導体装置であって、前記下層配線層の前記下地絶縁膜は、前記第1の間隙および第2の間隙の下部に形成された溝を有しており、前記溝内には、前記下地絶縁膜の上面よりも上に突出し

ない高さを有する前記第2の層間絶縁膜の一部が存在している半導体装置。

【請求項7】 請求項4記載の半導体装置であって、前記層間接続用金属の上端部分は前記第1の層間絶縁膜の上面よりも上に突出している半導体装置。

【請求項8】 請求項4から6の何れかに記載の半導体装置であって、

前記第1配線は、前記第2配線および／または前記第3配線に向かって局所的に突出する側面部を有しており、

前記側面部の上面は、前記層間接続用金属によって覆われている半導体装置。

【請求項9】 請求項8に記載の半導体装置であって、前記第1配線の前記側面部は、前記層間接続用金属に対して自己整合的に形成されている半導体装置。

【請求項10】 同一絶縁膜上に形成された複数の配線から構成される下層配線層であって、前記複数の配線が第1配線と、前記第1配線から第1の間隙において隣接する第2配線と、前記第1配線から第2の間隙において隣接する第3配線とを含む下層配線層と、

前記第1配線、前記第2配線および前記第3配線の上に形成された第1の層間絶縁膜と、

前記下層配線層を覆い、上面が平坦化された第2の層間絶縁膜と、を備え、

前記第2の間隙は前記第1の間隙よりも広く、

前記第2の層間絶縁膜は、第1層間絶縁層と、前記第1層間絶縁層上に形成された第2層間絶縁層を含み、前記第2の層間絶縁膜の上面は平坦化され、

前記第1層間絶縁層および前記第2層間絶縁層は前記第1の間隙の上方を塞ぎ、前記第1の間隙内に空孔が形成されており、

前記第2の間隙は、前記第1層間絶縁層および前記第2層間絶縁層によって埋め込まれている半導体装置。

【請求項11】 請求項10に記載の半導体装置であって、

前記第2層間絶縁層は、前記第1層間絶縁層よりもカバレッジが良いことを特徴とする半導体装置。

【請求項12】 請求項10記載の半導体装置であって、

前記第1層間絶縁層はシリコン酸化膜から形成されており、

前記第2層間絶縁層は、前記第1層間絶縁層の誘電率よりも低い誘電率を有する有機塗布膜から形成されている半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、多層配線構造を有する半導体装置およびその製造方法に関するものである。

【0002】

【従来の技術】 近年めざましく進歩した半導体プロセス

技術によって配線や素子の超微細化及び高集積化が可能になったので、ULSIの高性能化が進んできた。しかし、配線の集積化に伴い、配線における信号の遅延がデバイスのスピードを律するようになってきている。そのため、いわゆる0.25 μ m世代以降のULSIにおいては、層間絶縁膜の材料として、従来のSiO₂（比誘電率 $\epsilon=4.3$ ）に代わって比誘電率が低い材料、例えば比誘電率が低いフッ素をドーピングしたSiOF（ $\epsilon=3.5$ ）や有機物を含んだSiO:C（ $\epsilon=2.8$ から3.2）が使用されようとしている。しかし、これらの材料には吸湿性や耐熱性の点で問題があるので、該材料を使用したプロセスを構築することが難しい。

【0003】また、特に影響が大きい遅延である配線間における遅延を低減するために、配線間の絶縁性物質に空気（ $\epsilon=1.0$ ）によって形成される空孔を意図的に設けることによって、配線間における比誘電率を下げる技術が提案されている（特開昭62-5643号公報）。以下、この技術を図20を参照して説明する。図20は、従来の半導体装置の構造を示す断面図である。図20において、半導体装置が有する半導体基板1の上に設けられた絶縁性物質2における、配線3、4間に空孔6を、配線4、5間に空孔7をそれぞれ設ける。該絶縁性物質2の材料としては、SiO₂が用いられる。配線3と配線4との間の容量は、配線3から空孔6間の容量と、空孔6それ自体の容量と、空孔6から配線4間の容量とが直列接続された容量に等しいとみなすことができる。空孔以外の部分である絶縁性物質2の材料SiO₂の比誘電率に比べて、空気によって形成された空孔における比誘電率は約1/4である。したがって、空孔を設けることによって隣接する配線間の容量を低減できる。このことにより、隣接する配線間における信号の遅延を抑制できるので、動作マージンが広く誤動作しにくい半導体装置を実現でき、かつ、新規材料を使う必要がないので低コストなプロセスになり得る。

【0004】

【発明が解決しようとする課題】しかしながら、上記従来の構成によれば、配線と層間接続孔とがボーダーレス、つまり配線幅と層間接続孔の直径とが同一寸法を有するように設計され、かつ、フォトリソグラフィ工程においてアライメントずれが生じた場合には、以下のような問題が発生する。第1に、層間接続孔を開口する際に該層間接続孔と空孔とが一体となるので、層間接続用金属が該一体となった領域に入ることによって配線のショート不良が発生する。第2に、層間接続孔内の層間接続用金属と配線との接続面積が小さいので、接続不良が発生する。

【0005】これらの不良を、図21と図22とを参照して説明する。図21(a)、図21(b)及び図22(a)から(c)は、半導体装置が有する多層配線の従来の製造方法を示すプロセスフロー図である。まず、図

21(a)に示すように、半導体基板11の上に絶縁膜12、第1の配線13、層間絶縁膜14を順次形成する。層間絶縁膜14としてプラズマCVD法によって堆積されたSiO₂を使用するので、ステップカバレッジが悪い。すなわち、平坦な部分における堆積膜厚に対する、第1の配線13間の領域である配線間隙15における堆積膜厚の比率が低い。このことにより、配線間隙15における層間絶縁膜14に空孔16が形成される。しかし、ステップカバレッジは0%にはならないので、配線間隙15はそのすべてが空孔にはならず、配線間には層間絶縁膜14が存在する。したがって、配線間における比誘電率を低減するという目的に対しては、配線間隙15において層間絶縁膜14の堆積率をさらに低下させて比誘電率を下げる方法が考えられる。この場合には、空孔16はさらに大きい領域を占める。次に、図21(b)に示すように、レジストエッチバック法、化学的機械研磨(CMP)法等を使用して層間絶縁膜14の一部を除去することにより、該層間絶縁膜14を平坦化する。

【0006】次に、図22(a)に示すように、フォトリソグラフィとドライエッチングとを使用して層間接続孔17を形成する。ここで、第1の配線の配線幅18と層間接続孔の直径19とが同じ寸法であって、かつ、フォトリソグラフィにおいてずれ寸法20だけのアライメントずれが発生した場合を考える。この場合には、該アライメントずれによって第1の配線13の上面からずれた部分の層間接続孔17は、該上面の位置よりも深く形成される。したがって、層間接続孔17は空孔16と一体化する。次に、図22(b)に示すように、層間接続孔17の内部へ、CVD法を使用してタングステンよりなる層間接続用金属21を形成する。該CVD法によるタングステン21はステップカバレッジが良いので、図22(a)における層間接続孔17だけではなく、空孔16をも埋める。このことにより、空孔16であった部分へ形成された層間接続用金属21を介して、隣接する第1の配線13同士が接続されるショート不良が発生する。配線間隙15における比誘電率を下げようとすると空孔16はさらに大きい領域を占めるので、ショート不良がいつそう発生しやすくなる。一方、図22(a)におけるずれ寸法20がさらに大きくなった場合には、第1の配線13と層間接続孔17へ埋め込まれた層間接続用金属21との接続面積が小さくなるので、第1の配線13と層間接続用金属21との接続不良が発生する。特に、層間絶縁膜14の材料として有機系の材料を使用した場合には、該接続不良が発生しやすい。また、層間接続孔17においてより深くエッチングされた場合には、形成された層間接続用金属21によって第1の配線13と半導体基板11とが接続されるショート不良が発生する。次に、図22(c)に示すように、層間接続用金属21を介して第1の配線13に接続されるた

めの第2の配線22を、該層間接続用金属21と層間絶縁膜14との上に形成する。

【0007】本発明は、上記従来の問題に鑑み、配線間容量を最小限に抑え、かつ、アライメントずれが発生してもショート不良や接続不良が発生しにくい半導体装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】本発明による半導体装置の製造方法は、同一絶縁膜上に形成された複数の配線から構成される下層配線層であって、前記複数の配線が第1配線と、前記第1配線から第1の間隙をおいて隣接する第2配線と、前記第1配線から前記第1の間隙より広い第2の間隙をおいて隣接する第3配線とを含む下層配線層と、前記第1配線、前記第2配線および前記第3配線の上に形成された第1の層間絶縁膜とを備えた構造を形成する工程と、前記第1の間隙の上方を実質的に塞ぎ、前記第1の間隙内に空孔を形成するように、第2の層間絶縁膜の下部を構成する第1層間絶縁層を堆積する工程と、前記第2の層間絶縁膜の上部を構成する、前記第1層間絶縁層よりもカバレッジの良い第2層間絶縁層を堆積することによって前記第2の間隙を埋め込み、かつ前記空孔を完全に覆う工程とを包含する。

【0009】前記空孔を露出させないように前記第2の層間絶縁膜を平坦化する工程を更に包含することが好ましい。

【0010】前記第2層間絶縁層を前記第1層間絶縁層よりも誘電率の低い有機膜から形成することが好ましい。

【0011】本発明による半導体装置は、同一絶縁膜上に形成された複数の配線から構成される下層配線層であって、前記複数の配線が第1配線と、前記第1配線から第1の間隙をおいて隣接する第2配線と、前記第1配線から第2の間隙をおいて隣接する第3配線とを含む下層配線層と、前記第1配線、前記第2配線および前記第3配線の上に形成された第1の層間絶縁膜と、前記第1の層間絶縁膜中に形成され、前記第1配線の上面に接触する接続用金属と、前記第1の間隙および前記第2の間隙の各々に空孔を形成する第2の層間絶縁膜と、前記第2の層間絶縁膜上に形成され、前記層間接続用金属と電気的に接続される上層配線層とを備えている。

【0012】前記上層配線層は埋込構造を持つ配線であり、前記上層配線層は前記第2の層間絶縁膜中に形成されているようにしてもよい。

【0013】前記下層配線層の前記下地絶縁膜は、前記第1の間隙および第2の間隙の下部に形成された溝を有しており、前記溝内には、前記下地絶縁膜の上面よりも上に突出しない高さを有する前記第2の層間絶縁膜の一部が存在しているようにしてもよい。

【0014】前記層間接続用金属の上端部分は前記第1

の層間絶縁膜の上面よりも上に突出していることが好ましい。

【0015】前記第1配線は、前記第2配線および/または前記第3配線に向かって局所的に突出する側面部を有しており、前記側面部の上面は、前記層間接続用金属によって覆われていてもよい。また、前記第1配線の前記側面部は、前記層間接続用金属に対して自己整合的に形成されていることが好ましい。

【0016】本発明による他の半導体装置は、同一絶縁膜上に形成された複数の配線から構成される下層配線層であって、前記複数の配線が第1配線と、前記第1配線から第1の間隙をおいて隣接する第2配線と、前記第1配線から第2の間隙をおいて隣接する第3配線とを含む下層配線層と、前記第1配線、前記第2配線および前記第3配線の上に形成された第1の層間絶縁膜と、前記下層配線層を覆い、上面が平坦化された第2の層間絶縁膜とを備え、前記第2の間隙は前記第1の間隙よりも広く、前記第2の層間絶縁膜は、第1層間絶縁層と、前記第1層間絶縁層上に形成された第2層間絶縁層を含み、前記第2の層間絶縁膜の上面は平坦化され、前記第1層間絶縁層および前記第2層間絶縁層は前記第1の間隙の上方を塞ぎ、前記第1の間隙内に空孔が形成されており、前記第2の間隙は、前記第1層間絶縁層および前記第2層間絶縁層によって埋め込まれている。

【0017】前記第2層間絶縁層は、前記第1層間絶縁層よりもカバレッジが良いことが好ましい。

【0018】前記第1層間絶縁層はシリコン酸化膜から形成されており、前記第2層間絶縁層は、前記第1層間絶縁層の誘電率よりも低い誘電率を有する有機塗布膜から形成されていることが好ましい。

【0019】本発明による半導体装置の製造方法は、多層配線を有する半導体装置の製造方法であって、第1の配線層の上に第1の層間絶縁膜を形成し、該形成された第1の層間絶縁膜に層間接続孔を開口し、該開口された層間接続孔へ層間接続用金属を埋め込む工程と、第1の配線用パターンをマスクにして前記第1の層間絶縁膜と第1の配線層とを順次エッチングすることにより、第1の配線を形成する工程と、前記第1の層間絶縁膜と第1の配線とが形成された半導体基板上に第2の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜の表面が露出するまで前記第2の層間絶縁膜を除去することによって、該第2の層間絶縁膜と前記第1の層間絶縁膜と層間接続用金属とが各々有する表面を同一平面になるように平坦化する工程と、前記同一平面の上に第2の金属層を形成し、第2の配線用パターンをマスクにして該第2の金属層をエッチングすることにより第2の配線を形成する工程とを備えている。

【0020】本発明による他の半導体装置の製造方法は、多層配線を有する半導体装置の製造方法であって、第1の配線層の上に第1の層間絶縁膜を形成し、該形成

された第1の層間絶縁膜に層間接続孔を開口し、該開口された層間接続孔へ層間接続用金属を埋め込む工程と、第1の配線用パターンをマスクにして前記第1の層間絶縁膜と第1の配線層とを順次エッチングすることにより、第1の配線を形成する工程と、前記第1の層間絶縁膜と第1の配線とが形成された半導体基板上に第2の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜の表面が露出するまで前記第2の層間絶縁膜を除去することによって、該第2の層間絶縁膜と前記第1の層間絶縁膜と層間接続用金属とが各々有する表面を同一平面になるように平坦化する工程と、溝作製用パターンをマスクにして少なくとも前記第1の層間絶縁膜をエッチングすることにより、該第1の層間絶縁膜の表面から所定の深さを有する溝を作成する工程と、前記層間接続用金属と第1の層間絶縁膜と第2の層間絶縁膜との上に第2の金属層を形成し、該第2の金属層のうち前記溝の内部以外に存在する部分を除去することによって第2の配線を形成する工程とを備えている。

【0021】本発明による更に他の半導体装置の製造方法は、多層配線を有する半導体装置の製造方法であって、絶縁膜の上に形成された第1の配線層の上に第1の層間絶縁膜を形成し、該形成された第1の層間絶縁膜に層間接続孔を開口し、該開口された層間接続孔へ層間接続用金属を埋め込む工程と、第1の配線用レジストパターンをマスクングに使用して前記第1の層間絶縁膜と第1の配線層と前記絶縁膜の少なくとも一部とを順次エッチングすることにより、第1の配線を形成する工程と、第1の配線が形成された半導体基板上に第2の層間絶縁膜を形成する工程と、前記層間接続用金属の表面が露出するまで前記第2の層間絶縁膜を除去することによって、該第2の層間絶縁膜と層間接続用金属とが各々有する表面を同一平面になるように平坦化する工程と、前記同一平面の上に第2の金属層を形成し、第2の配線用レジストパターンをマスクングに使用して該第2の金属層をエッチングすることにより第2の配線を形成する工程とを備えている。

【0022】本発明による更に他の半導体装置の製造方法は、多層配線を有する半導体装置の製造方法であって、絶縁膜の上に形成された第1の配線層の上に第1の層間絶縁膜を形成し、該形成された第1の層間絶縁膜に層間接続孔を開口し、該開口された層間接続孔へ層間接続用金属を埋め込む工程と、前記第1の層間絶縁膜の表面から一部をエッチングする工程と、第1の配線用レジストパターンをマスクングに使用して前記第1の層間絶縁膜と第1の配線層とを順次エッチングすることにより、第1の配線を形成する工程と、第1の配線が形成された半導体基板上に第2の層間絶縁膜を形成する工程と、前記層間接続用金属の表面が露出するまで前記第2の層間絶縁膜を除去することによって、該第2の層間絶縁膜と層間接続用金属とが各々有する表面を同一平面に

なるように平坦化する工程と、前記同一平面の上に第2の金属層を形成し、第2の配線用レジストパターンをマスクングに使用して該第2の金属層をエッチングすることにより第2の配線を形成する工程とを備えている。

【0023】本発明による更に他の半導体装置の製造方法は、多層配線を有する半導体装置の製造方法であって、絶縁膜の上に形成された第1の配線層の上に第1の層間絶縁膜を形成し、該形成された第1の層間絶縁膜に層間接続孔を開口し、該開口された層間接続孔へ層間接続用金属を埋め込む工程と、第1の配線用レジストパターンをマスクングに使用して前記第1の層間絶縁膜と第1の配線層と前記絶縁膜とを順次エッチングすることにより、第1の配線を形成する工程と、第1の配線が形成された半導体基板上に第2の層間絶縁膜を形成する工程と、前記第1の層間絶縁膜の表面が露出するまで前記第2の層間絶縁膜を除去することによって、該第2の層間絶縁膜と前記第1の層間絶縁膜とが各々有する表面を同一平面になるように平坦化する工程と、前記第2の層間絶縁膜の表面を選択的にエッチングした後、第3の層間絶縁膜を堆積する工程と、前記第1の層間絶縁膜の表面が露出するまで前記第3の層間絶縁膜を除去することによって、該第3の層間絶縁膜と前記第1の層間絶縁膜と層間接続用金属とが各々有する表面を同一平面になるように平坦化する工程と、前記同一平面の上に第2の金属層を形成し、第2の配線用レジストパターンをマスクングに使用して該第2の金属層をエッチングすることにより第2の配線を形成する工程とを備えている。

【0024】前記第1の配線相互間の配線間隙において前記第2の層間絶縁膜が存在しない閉領域よりなる空孔を更に備えていることが好ましい。

【0025】前記第1の層間絶縁膜の誘電率より前記第2の層間絶縁膜の誘電率の方が小さいことが好ましい。

【0026】前記第1の配線を形成する工程の前に、前記第1の層間絶縁膜の表面から一部をエッチングする工程を更に備えていてもよい。

【0027】前記第2の層間絶縁膜を形成する方法として、高密度プラズマCVDを使用してもよい。

【0028】前記第2の層間絶縁膜を形成する方法として、基板にバイアス電圧を印可した高密度プラズマCVDを使用してもよい。

【0029】前記第1の層間絶縁膜に使用する材料の誘電率より前記第2の層間絶縁膜に使用する材料の誘電率の方が小さいことが好ましい。

【0030】前記第2の層間絶縁膜を平坦化する工程において、化学的機械研磨を用いることが好ましい。

【0031】前記第2の層間絶縁膜を形成する工程は、前記第2の層間絶縁膜の一部を構成する第1層間絶縁層を形成する工程と、前記第2の層間絶縁膜の他の一部を構成する第2層間絶縁層を前記第1層間絶縁層上に形成する工程と包含していてもよい。

【0032】前記第1層間絶縁層を形成する工程において、前記第1の配線層が形成する隙間のうち間隔が0.5 μm 以下の隙間に空孔を形成するように前記第1層間絶縁層によって前記間隔が0.5 μm 以下の隙間の上を実質的に覆い、前記第2層間絶縁層を形成する工程においては、前記第1の配線層が形成する隙間のうち、前記第1層間絶縁層によって実質的に覆われていない隙間の内部に前記第2層間絶縁層の一部を進入させてもよい。

【0033】前記第1層間絶縁層として、シラン/ N_2 O系ガスのプラズマを用いて形成した第1プラズマCVD膜を使用してもよい。

【0034】前記第2層間絶縁層として、基板バイアス電圧を印可した高密度プラズマを用いて形成した第2プラズマCVD膜を使用してもよい。

【0035】前記第2の層間絶縁膜を平坦化する工程は、前記第1層間絶縁層を除去しないようにして前記第2層間絶縁層を除去してもよい。

【0036】前記第2の層間絶縁膜を形成する工程は、前記第1の配線の上面から計測した前記空孔の上端の高さを500 nm以下にすることが好ましい。

【0037】前記第2の層間絶縁膜を形成する工程は、前記第1の配線層が形成する隙間のうち間隔が0.8 μm 以下の隙間に空孔を形成することが好ましい。

【0038】前記第2の層間絶縁膜を形成する工程は、前記第1の配線層が形成する隙間のうち間隔が0.5 μm 以下の隙間に空孔率が0.5以上の空孔を形成することが好ましい。

【0039】前記第2の層間絶縁膜を平坦化する工程は、前記第1層間絶縁層を除去しないようにして前記第2層間絶縁層を除去してもよい。

【0040】本発明による半導体装置は、多層配線を有する半導体装置であって、半導体基板の上に形成された第1の配線と、前記第1の配線と他層の配線とを接続するために該第1の配線上へ形成された層間接続用金属と、前記層間接続用金属が存在する部分以外の前記第1の配線におけるすべての領域において形成された第1の層間絶縁膜と、前記半導体基板を平面視した場合において、前記第1の配線以外の領域のすべてにおいて形成された第2の層間絶縁膜と、少なくとも前記層間接続用金属の上に形成され、かつ、該層間接続用金属を介して前記第1の配線に接続された第2の配線とを備えている。

【0041】本発明による他の半導体装置は、多層配線を有する半導体装置であって、絶縁膜上に配列された複数の第1の配線層と、前記複数の第1の配線層の各々の上に形成された第1の層間絶縁膜と、前記第1の層間絶縁膜中に開口され、前記複数の第1の配線層上に位置する層間接続孔と、前記層間接続孔に埋め込まれ、前記第1の配線層に接触する層間接続用金属と、前記複数の第1の配線層を覆うように形成された第2の層間絶縁膜と、前記複数の第1の配線層の間において、前記絶縁膜

の表面に形成された凹部とを備えている。

【0042】本発明による更に他の半導体装置は、多層配線を有する半導体装置であって、絶縁膜上に配列された複数の第1の配線層と、前記複数の第1の配線層の各々の上に形成された第1の層間絶縁膜と、前記第1の層間絶縁膜中に開口され、前記複数の第1の配線層上に位置する層間接続孔と、前記層間接続孔に埋め込まれ、前記第1の配線層に接触する層間接続用金属と、前記第1の配線層が形成されていない領域上に設けられた第2の層間絶縁膜とを備え、前記層間接続用金属の上面が前記第1の層間絶縁膜の上面よりも上に突出している。

【0043】前記第2の層間絶縁膜は、前記複数の第1の配線層と、前記第2の層間絶縁膜の一部を構成する第1層間絶縁層と、前記第2の層間絶縁膜の他の一部を構成する第2層間絶縁層とを備え、前記第1層間絶縁層は、前記第1の配線層が形成する隙間のうち間隔が0.5 μm 以下の隙間に空孔を形成するように前記間隔が0.5 μm 以下の隙間の上を実質的に覆い、前記第2層間絶縁層の一部は、前記第1の配線層が形成する隙間のうち、前記第1層間絶縁層によって実質的に覆われていない隙間の内部に進入していることが好ましい。

【0044】前記第1の配線の上面から計測した前記空孔の上端の高さは500 nm以下であることが好ましい。

【0045】前記第1の配線層が形成する隙間のうち間隔が0.8 μm 以下の隙間に空孔が形成されていることが好ましい。

【0046】前記第1の配線層が形成する隙間のうち間隔が0.5 μm 以下の隙間に空孔率が0.5以上の空孔が形成されていることが好ましい。

【0047】

【発明の実施の形態】（第1の実施形態）本発明の第1の実施形態を、図1～図3を参照して説明する。図1(a)～(d)及び図2(a)～(c)は、本実施形態に係る半導体装置の製造方法を示すプロセスフロー図である。まず、図1(a)に示すように、予め半導体能動素子（図示せず）を形成した半導体基板101の上に、絶縁膜102（厚さ0.8 μm ）、アルミニウムとチタン合金との積層構造からなる第1金属層103（厚さ0.5 μm ）、第1の層間絶縁膜104（厚さ1.0 μm ）を順次堆積させる。その後に層間接続用レジストパターン105を形成し、ドライエッチングによって層間接続孔106を開口する。

【0048】次に、図1(b)に示すように、層間接続用レジストパターン105をはく離した後における層間接続孔106を有する面へ、例えばTiN/Tiよりなるアドヒージョンレイヤー107を堆積させ、更にプラズマCVD法によってタングステンよりなる層間接続材料108を堆積させる。ドライエッチング又はCMP法によって、層間接続孔106の内部以外に存在

するアドヒージョンレイヤー107及び層間接続材料108を除去する。層間接続孔106の内部にのみ存在するアドヒージョン107と層間接続材料108とは、併せて層間接続用金属109を構成する。

【0049】次に、図1(c)に示すように、第1の層間絶縁膜104及び層間接続用金属109の上に、第1の配線用レジストパターン(第1の配線層パターンを規定するマスキング層)110を形成する。該第1の配線用レジストパターン110が、ずれ寸法111だけアライメントずれして形成される場合を考える。例えば、層間接続孔106の直径を $0.3\mu\text{m}$ 、第1の配線用レジストパターン110の幅を $0.3\mu\text{m}$ とした場合には、該層間接続孔106へ埋め込まれた層間接続用金属109と第1の配線用レジストパターン110との許容されるずれ寸法111は、最大で $0.1\mu\text{m}$ となる。

【0050】図3(a)は、第1の配線用レジストパターン110のずれと層間接続用金属109との関係を示す平面図である。図3(a)の波線下側には、第1の配線用レジストパターン110の位置が層間接続用金属109の位置からずれている場合が示されており、波線上側には、第1の配線用レジストパターン110の位置と層間接続用金属109の位置とが整合している場合が示されている。

【0051】次に、図1(d)に示すように、酸化膜をパターニングするためのCF系エッチングガスと、アルミニウム膜をパターニングするためのCl系エッチングガスとを使用して、第1の配線用レジストパターン110を有する面から、第1の配線用レジストパターン110をマスクとして順次ドライエッチングする。まず、低温においてCF系エッチングガスを使用したドライエッチングにより、第1の配線用レジストパターン110の開口部における第1の層間絶縁膜104を除去する。この場合には、アライメントずれ部分112における層間接続用金属109は、CF系エッチングガスによってはほとんどエッチングされない。更に、Cl系エッチングガスを使用したドライエッチングによって、絶縁膜102が露出するまで第1の配線用レジストパターン110の開口部における第1の金属層103を除去する。このことによって、第1の配線113Aを形成する。この場合にも、アライメントずれ部分112における層間接続用金属109は、Cl系エッチングガスによってはエッチングされない。第1の配線113Aを形成するエッチングは、第1の配線用レジストパターン110および層間接続用金属109の両方がエッチングマスクとして機能している。

【0052】図3(b)は、アライメントずれの有無に対応した第1の配線113と層間接続用金属109との位置関係を示す斜視図である。まず、第1の金属層103から、ドライエッチングにより、アライメントずれせず形成された配線113Bの場合を考える。この場合に

は、配線113Bの上面に、該配線113Bの幅と同一の直径を有する層間接続用金属109が形成される。一方、第1の金属層から、ドライエッチングにより、アライメントずれして形成された配線113Cの場合を考える。この場合には、該ドライエッチングの際に層間接続用金属109の下に位置する第1の金属層がエッチングされない。したがって、図8(a)におけるアライメントずれ部分112において、層間接続用金属109の下に位置する第1の金属層がセルフアライメントによってエッチングされずに残るので、図3(b)に示すような形状を持った配線113Cが形成される。このことにより、層間接続用金属109が有する下面の全面に対して、配線113B又は配線113Cからなる第1の配線113Aが必ず形成される。また、図8(a)における第1の配線用レジストパターン110の下部分はエッチングされないで、第1の配線113Aの上であって層間接続用金属109が存在しない部分においては、第1の層間絶縁膜104がそのまま残る。このことにより、第1の配線113Aの上には、第1の層間絶縁膜104又は層間接続用金属109のいずれかが必ず存在する。したがって、層間接続用金属109又は第1の配線用レジストパターン110の下に存在する第1の金属層103が、第1の配線113Aを形成する。第1の金属層103から形成された第1の配線113Aと、第1の層間絶縁膜104との膜厚の合計は $1.5\mu\text{m}$ である。したがって、隣接する第1の配線113A間の領域である配線間隙114における、最小幅 $0.3\mu\text{m}$ の部分に形成された溝115のアスペクトレシオは約5となる。なお、第1の配線が存在しないフィールド部分116へ、配線のダミーパターンを形成してもよい。

【0053】このように本実施形態によれば、第1の層間絶縁膜104および層間接続用金属109の両方の平面パターンが第1の配線113Aの平面パターンを規定する。

【0054】次に、図2(a)に示すように、第1の配線用レジストパターン110をはく離した後の、半導体基板101が有する絶縁膜102、第1の層間絶縁膜104、層間接続用金属109の上に、プラズマCVD装置を使用して第2の層間絶縁膜117をそれぞれ堆積する。配線間隙114において形成された溝における該配線間隙114の領域の一部又は全部が、第2の層間絶縁膜117によっては埋め込まれずに空孔118となる。特に、高アスペクトレシオを有する溝においては、配線間隙114の領域の全部が空孔118となる。

【0055】次に、図2(b)に示すように、CMP法を使用して、第1の層間絶縁膜104と層間接続用金属109と第2の層間絶縁膜117との表面がほぼ同一平面になるように、該第2の層間絶縁膜117を平坦化する。第1の層間絶縁膜104と第2の層間絶縁膜117とを異なる材料にして、第1の層間絶縁膜104のCM

Pにおけるエッチングレートが、第2の層間絶縁膜117のエッチングレートよりも小さくなるように設定する。このことにより、第1の層間絶縁膜104をエッチングストッパーとして利用する。第2の層間絶縁膜117は、高アスペクトレシオを有する溝の上部においてその内部へもある程度埋め込まれるので、CMPの後に第2の層間絶縁膜117の表面において空孔118が開口部を形成することはない。

【0056】次に、図2(c)に示すように、アルミニウムとチタン合金との積層構造からなる金属層を堆積させ、フォトリソグラフィーとドライエッチングとを使用して第2の配線119を形成する。

【0057】以上説明したように、本実施形態によれば、配線間隙114の領域の一部又は全部が空気よりなる空孔118になるので、該配線間隙114をはさむ第1の配線113A間における比誘電率を低減できる。特に配線間隙114へ形成される溝115が高アスペクトレシオを有する場合には、該配線間隙114の領域の全部が空孔118になるので、第1の配線113A間における比誘電率を最小値にすることができる。

【0058】また、層間接続用金属109を形成した後に第1の配線113Aを形成するので、層間接続用金属109が有する下面の全面に対して必ず第1の配線113Aが形成される。したがって、第1の配線113Aと層間接続用金属109との接続不良を防止できる。

【0059】また、第1の層間絶縁膜104の層間接続孔106に層間接続用金属109を形成した後に、第1の配線113Aと第2の層間絶縁膜117とを順次形成する。このことによって、第1の配線形成時にアライメントずれが発生しても、第1の配線113Aの上面には層間接続用金属109又は第1の層間絶縁膜104のいずれかが必ず存在し、かつ、第2の層間絶縁膜117と同時に形成される空孔118へ層間接続用金属109が埋め込まれることはない。したがって、層間接続用金属109を介した、第1の配線113A同士のショート不良及び配線と半導体基板101とのショート不良を防止できる。

【0060】(第2の実施形態) 本発明の第2の実施形態を、図4を参照して説明する。図4(a)～(c)は、本実施形態に係る半導体装置の製造方法を示すプロセスフロー図である。図(a)に至るまでの工程は図1(a)～(d)と同一なので、第1の実施形態における構成要素と同一のものには同一の符号を付して、その説明を省略する。本実施形態は、第1の実施形態においてプラズマCVD装置により第2の層間絶縁膜117を堆積することに代えて、塗布法によって第2の層間絶縁膜217を形成するものである。第2の層間絶縁膜217としては、例えば有機ポリシロキサン、フッ素を含んだ有機物等の材料からなる有機膜や無機のパラス膜等が考えられる。これらの材料は、その多くが流動性を有す

る。

【0061】まず、図4(a)に示すように、第1の層間絶縁膜104、層間接続用金属109、配線間隙214の上に上記材料を塗布する。このことにより、配線間隙214における溝へ、空孔を生ずることなく該流動性を有する材料を埋め込んで、第2の層間絶縁膜217を形成できる。第2の層間絶縁膜217の材料として、第1の層間絶縁膜104よりも比誘電率が低い材料を選ぶ。したがって、配線間隙214をはさむ第1の配線113A間における比誘電率を低減できる。次に、図4

(b)に示すように、CMP法を使用して、第1の層間絶縁膜104と層間接続用金属109と第2の層間絶縁膜217との表面が同一平面になるように、該第2の層間絶縁膜217を平坦化する。第1の層間絶縁膜104と第2の層間絶縁膜217とを異なる材料にして、第1の層間絶縁膜104のCMPにおけるエッチングレートが、第2の層間絶縁膜217のエッチングレートよりも小さくなるように設定する。このことにより、第1の層間絶縁膜104をエッチングストッパーとして利用する。次に、図4(c)に示すように、アルミニウムとチタン合金との積層構造からなる金属層を堆積させ、フォトリソグラフィーとドライエッチングとを使用して第2の配線219を形成する。

【0062】以上説明したように、本実施形態によれば、第1の層間絶縁膜104よりも比誘電率が低い材料を使用した第2の層間絶縁膜217によって、配線間隙214の領域の全部を埋め込む。したがって、該配線間隙214をはさむ第1の配線113A間における比誘電率を低減でき、かつ、第2の層間絶縁膜217の材料によって該比誘電率を決定できる。

【0063】また、層間接続用金属109を形成した後に第1の配線113Aを形成するので、層間接続用金属109が有する下面の全面に対して必ず第1の配線113Aが形成される。したがって、第1の配線113Aと層間接続用金属109との接続不良を防止できる。

【0064】また、第1の層間絶縁膜104の層間接続孔に層間接続用金属109を形成した後に、第1の配線113Aと第2の層間絶縁膜217とを順次形成する。このことによって、第1の配線形成時にアライメントずれが発生しても、第1の配線113Aの上面には層間接続用金属109又は第1の層間絶縁膜104のいずれかが必ず存在し、かつ配線間隙214には第2の層間絶縁膜217が必ず存在する。したがって、層間接続用金属109を介した、第1の配線113A同士のショート不良及び配線と半導体基板101とのショート不良を防止できる。

【0065】(第3の実施形態) 本発明の第3の実施形態を、図5と図6とを参照して説明する。図5(a)～(d)は、本実施形態に係る半導体装置の製造方法を示すプロセスフロー図である。図5(a)に至るまでの工

程は、第1の層間絶縁膜304の膜厚(2.5 μ m)を厚くした以外は第1の実施形態、すなわち図1(a)~(d)及び図2(a)、(b)と同一なので、第1の実施形態における構成要素と同一のものには同一の符号を付して、その説明を省略する。

【0066】まず、図5(a)に示すように、第1の層間絶縁膜304、層間接続用金属309、第2の層間絶縁膜317の上に、第2の配線用反転レジストパターン320をフォトリソグラフィーによって形成する。該第2の配線用反転レジストパターン320が、ずれ寸法311だけアライメントずれて形成される場合を考える。例えば、層間接続孔の直径を0.3 μ m、第2の配線用反転レジストパターン320が有する溝の幅を0.3 μ mとした場合には、該層間接続孔へ埋め込まれた層間接続用金属309と第2の配線用反転レジストパターン320が有する溝との許容されるずれ寸法311は、最大で0.1 μ mとなる。次に、図5(b)に示すように、第1の層間絶縁膜304と第2の層間絶縁膜317とをエッチングして、深さ0.5 μ mを有する配線溝321Aを形成する。次に、図5(c)に示すように、チタン合金よりなるアドヒージョンレイヤー(図示せず)を堆積した後に、アルミニウム、アルミニウムと銅との合金、または銅等なる第2の金属層322を形成する。該第2の金属層322を形成するには、真空蒸着法やCVD法等が用いられる。次に、図5(d)に示すように、配線溝以外に存在する第2の金属層をCMP法で除去することによって、第2の配線323を形成する。

【0067】第2の配線用反転レジストパターン320のずれによる第2の配線323のずれと、層間接続用金属309との関係を、図6と図5(b)~(d)とを参照して説明する。図6は、アライメントずれの有無に対応し、かつ第2の配線が形成されるべき配線溝と、層間接続用金属との位置関係を示す斜視図である。図6において、ドライエッチングにより、アライメントずれせず形成された配線溝321Bの場合を考える。この場合には、層間接続用金属309の直径と同一の幅を有する配線溝321Bが形成される。第2の配線は該配線溝321Bの内部へ形成されるので、層間接続用金属309の側面のほぼ全面において該層間接続用金属309と第2の配線とが接触する。一方、ドライエッチングにより、アライメントずれて形成された配線溝321Cの場合を考える。この場合には、層間接続用金属309の直径と同一の幅を有する配線溝321Cが、図5(b)におけるずれ寸法311だけずれて形成される。層間接続用金属309はエッチングされないで、該層間接続用金属309の側面のうちずれ寸法111だけ第1の層間絶縁膜304へ食い込んだ部分以外は、配線溝321Cに対して露出する。したがって、層間接続用金属309の側面の大部分は、図5(c)における第2の金属層322に接触し、更にCMP後の図5(d)において第2の

配線323に接触する。

【0068】以上説明したように、本実施形態によれば、第2の配線323を形成するための第2の配線用反転レジストパターン320がアライメントずれした場合でも、層間接続用金属309の側面の大部分が第2の配線323に接触する。したがって、第1の実施形態と同様の効果に加えて、第2の配線用反転レジストパターン320がアライメントずれした場合においても、層間接続用金属309と第2の配線323との接続における信頼性を向上できる。

【0069】(第4の実施形態)図7(a)から(d)、図8(a)から(c)ならびに図9(a)および(b)を参照しながら、本実施形態に係る半導体装置の製造方法を説明する。

【0070】まず、図7(a)に示すように、予め半導体能動素子(図示せず)を形成した半導体基板101の上に、絶縁膜102(厚さ0.8 μ m)、アルミニウムとチタン合金との積層構造からなる第1の金属層103(厚さ0.5 μ m)、第1の層間絶縁膜104(厚さ1.0 μ m)を順次堆積させる。その後に層間接続用レジストパターン105を形成し、ドライエッチングによって層間接続孔106を開口する。

【0071】次に、図7(b)に示すように、層間接続用レジストパターン105をはく離した後における層間接続孔106を有する面へ、例えばTiN/Tiよりなるアドヒージョンレイヤー107を堆積させ、更にプラズマCVD法によってタングステンよりなる層間接続材料108を堆積させる。ドライエッチング又はCMP法によって、層間接続孔106の内部以外に存在するアドヒージョンレイヤー107及び層間接続材料108を除去する。層間接続孔106の内部にのみ存在するアドヒージョン107と層間接続材料108とは、併せて層間接続用金属109を構成する。

【0072】次に、図7(c)に示すように、第1の層間絶縁膜104を0.5 μ m程度エッチバックし、第1の層間絶縁膜104の残りの膜厚を0.5 μ mに調整する。このとき、層間接続用金属109は第1の層間絶縁膜104の表面から上方に凸状に突出する。

【0073】次に、図7(d)に示すように、第1の層間絶縁膜104及び層間接続用金属109の上に、第1の配線用レジストパターン110を形成する。該第1の配線用レジストパターン110が、ずれ寸法111だけアライメントずれて形成される場合を考える。例えば、層間接続孔106の直径を0.3 μ m、第1の配線用レジストパターン110の幅を0.3 μ mとした場合には、該層間接続孔106へ埋め込まれた層間接続用金属109と第1の配線用レジストパターン110との許容されるずれ寸法111は、最大で0.1 μ mとなる。

【0074】図3(a)は、第1の配線用レジストパターン110のずれと層間接続用金属109との関係を示

す平面図である。図3(a)の波線下側には、第1の配線用レジストパターン110の位置が層間接続用金属109の位置からずれている場合が示されており、波線上側には、第1の配線用レジストパターン110の位置と層間接続用金属109の位置とが整合している場合が示されている。

【0075】次に、図8(a)に示すように、酸化膜を除去するためのCF系エッチングガスと、アルミニウムを除去するためのCl系エッチングガスとを使用して、第1の配線用レジストパターン110を有する面を順次ドライエッチングする。まず、低温においてCF系エッチングガスを使用したドライエッチングにより、第1の配線用レジストパターン110の開口部における第1の層間絶縁膜104を除去する。この場合には、アライメントずれ部分112における層間接続用金属109は、CF系エッチングガスによってはエッチングされない。更に、Cl系エッチングガスを使用したドライエッチングによって、絶縁膜102が露出するまで第1の配線用レジストパターン110の開口部における第1の金属層103を除去する。このことによって、第1の配線113Aを形成する。この場合にも、アライメントずれ部分112における層間接続用金属109は、Cl系エッチングガスによってはエッチングされない。

【0076】図3(b)は、アライメントずれの有無に対応した第1の配線113と層間接続用金属109との位置関係を示す斜視図である。まず、第1の金属層103から、ドライエッチングにより、アライメントずれせず形成された配線113Bの場合を考える。この場合には、配線113Bの上面に、該配線113Bの幅と同一の直径を有する層間接続用金属109が形成される。一方、第1の金属層から、ドライエッチングにより、アライメントずれして形成された配線113Cの場合を考える。この場合には、該ドライエッチングの際に層間接続用金属109の下に位置する第1の金属層がエッチングされない。したがって、図8(a)におけるアライメントずれ部分112において、層間接続用金属109の下に位置する第1の金属層がセルフアライメントによってエッチングされずに残るので、図3(b)に示すような形状を持った配線113Cが形成される。このことにより、層間接続用金属109が有する下面の全面に対して、配線113B又は配線113Cからなる第1の配線113Aが必ず形成される。また、図8(a)における第1の配線用レジストパターン110の下部分はエッチングされないため、第1の配線113Aの上であって層間接続用金属109が存在しない部分においては、第1の層間絶縁膜104がそのまま残る。このことにより、第1の配線113Aの上には、第1の層間絶縁膜104又は層間接続用金属109のいずれかが必ず存在する。

【0077】次に、図8(b)に示すように、CF系エ

ッチングガスを使用したドライエッチングにより、絶縁膜102を約0.5 μ m程度彫り込む。このことによって、上下を絶縁膜で挟まれた形の第1の配線113Aを形成する。第1の配線113A直下の彫り込まれてない絶縁膜を112Aとする。したがって、層間接続用金属109又は第1の配線用レジストパターン110の下に存在する第1の金属層103が、第1の配線113Aを形成する。

【0078】第1の金属層103から形成された第1の配線113Aと、第1の層間絶縁膜104および絶縁膜112Aとの膜厚の合計は1.5 μ mである。したがって、隣接する第1の配線113A間の領域である配線間隙114における、最小幅0.3 μ mの部分に形成された溝115のアスペクトレシオは約5となる。なお、第1の配線が存在しないフィールド部分116へ、配線のダミーパターンを形成してもよい。

【0079】次に、図8(c)に示すように、第1の配線用レジストパターン110をはく離した後の、半導体基板101が有する絶縁膜102、第1の層間絶縁膜104、層間接続用金属109の上に、プラズマCVD装置を使用して第2の層間絶縁膜117を堆積する。配線間隙114において形成された溝における該配線間隙114の領域の一部又は全部が、第2の層間絶縁膜117によっては埋め込まれずに空孔118となる。特に、高アスペクトレシオを有する溝においては、配線間隙114の領域の全部が空孔118となる。次に、図9(a)に示すように、CMP法を使用して、層間接続用金属109と第2の層間絶縁膜117との表面が同一平面になるように、該第2の層間絶縁膜117を平坦化する。第2の層間絶縁膜117は、高アスペクトレシオを有する溝の上部においてその内部へもある程度埋め込まれるので、CMPの後に第2の層間絶縁膜117の表面において空孔118が開口部を形成することはない。次に、図9(b)に示すように、アルミニウムとチタン合金との積層構造からなる金属層を堆積させ、フォトリソグラフィとドライエッチングとを使用して第2の配線119を形成する。

【0080】ここで、図10(a)および(b)ならびに図11(a)および(b)を参照しながら、第2の層間絶縁膜117の堆積方法によって形成される空孔の形態がどのように変化するかを説明する。

【0081】まず、図10(a)を参照する。図10(a)は、第2の層間絶縁膜117が溝115内に全く入り込んでおらず、空孔が溝115内の全てを占めている理想的な形態を示している。この場合、隣接する配線113Aの間には絶縁膜が存在しないため、配線間の容量C1は非常に小さくなる。また、図10(a)に示す場合、空孔の上端は第1の層間絶縁膜104の上面よりも上に広がっていない。このため、第2の層間絶縁膜117をCMP法によって研磨しても、空孔が露出するお

それが小さい。もし、第2の層間絶縁膜117をCMP法によって研磨した場合に研磨表面を介して空孔が外部に通じると、層間絶縁膜として機能が損なわれ、配線間の短絡が生じてしまうおそれがある。

【0082】図10(b)は、第2の層間絶縁膜117が溝115の底面および側面に堆積し、空孔が溝115内の僅かな部分を占めている形態を示している。このような形態は、第2の層間絶縁膜117をカバレッジのよい条件で堆積した場合に得られる。例えば、TEOSを原料とするプラズマCVD法による場合、堆積過程

【0083】図11(a)は、第2の層間絶縁膜117が溝115の内部には全く入り込んでおらず、空孔の上部118が第1の層間絶縁膜104の上面よりも上に広がっている形態を示している。このような形態は、第2の層間絶縁膜117をカバレッジが悪く指向性の高い堆積方法で条件で形成した場合に得られる。例えば、ハイ

【0084】ハイデンシティプラズマ(HDP)膜は、HDP装置を用いて形成される。このHDP装置内において、基板にバイアス電圧を印加しながらHDP膜の堆積を行うと、堆積中に、堆積と競合するようにエッチング現象も生じるため、絶縁膜が溝の底面に堆積し、空孔の

【0085】従って、図8(b)に示すように、絶縁膜102をエッチングする工程を行った場合、溝の底面に僅かに絶縁物が堆積しても、配線113Aの間の容量C4が低く維持される。このことを図12(a)および(b)を参照しながら説明する。図12(a)は、絶縁膜102をエッチングしない工程を行う場合の空孔の一形態を示し、図12(b)は、絶縁膜102をエッチングする工程を行う場合の空孔の一形態を示している。図12(a)の場合、溝の底面に絶縁物が堆積していると、配線と配線との間に絶縁物が存在することになり、容量C5は、容量C4よりも大きくなる。このため、図10(b)および図11(b)に示すような形態の空孔

を形成するような堆積方法で第2の層間絶縁膜を形成する場合は、絶縁膜102をエッチングする工程を行い、溝の底面を第1の配線層113Aの下面よりも低くすることが好ましい。

【0086】配線間容量の低減という観点からは、図11(a)に示すような形態の空孔が形成されることが最も好ましいが、CMPによって第2の層間絶縁膜を平坦化する際に空孔の上端が位置するレベルまで第2の層間絶縁膜をエッチングしてしまう可能性が高い。しかし、層間接続用金属109を第1の層間絶縁膜104の上面のレベルよりも上方に突出させれば、CMPによって形成する研磨を層間接続用金属109の上面のレベルで停止させることが可能になる。つまり、層間接続用金属109が一種のエッチングストップ層として機能する。この場合、研磨表面が空孔の上端よりも高い位置にくるように制御することが容易になるので、図11(a)に示す形態の空孔が形成されても問題は生じにくい。また、図11(a)に示す形態の空孔を形成する場合は、絶縁膜102をエッチングする必要性は低い。しかし、絶縁膜102をエッチングした場合の配線間容量C3は、絶縁膜102を全くエッチングしない場合の配線間容量よりも低い。これは、配線間容量が、隣接する2本の配線の間に位置するある程度の広がりを持った空間の物性によって決定されるため、配線の真横の空間の上下の空間の誘電率にも影響を受けるためである。

【0087】以上のことから、第1の配線層113Aの間の領域に位置する絶縁膜102を部分的にエッチングすることは、種々の空孔を形成する場合において、配線容量の低減のために有効であることがわかる。

【0088】以上説明したように、本実施形態によれば、配線間隙114の領域の一部又は全部が空気よりなる空孔118になるので、該配線間隙114をはさむ第1の配線113A間における比誘電率を低減できる。特に配線間隙114へ形成される溝115が高アスペクトレシオを有する場合には、該配線間隙114の領域の全部が空孔118になるので、第1の配線113A間における比誘電率を最小値にすることができる。

【0089】また、層間接続用金属109を形成した後第1の配線113Aを形成するので、層間接続用金属109が有する下面の全面に対して必ず第1の配線113Aが形成される。したがって、第1の配線113Aと層間接続用金属109との接続不良を防止できる。

【0090】また、第1の層間絶縁膜104の層間接続孔106に層間接続用金属109を形成した後に、第1の配線113Aと第2の層間絶縁膜117とを順次形成する。このことによって、第1の配線形成時にアライメントずれが発生しても、第1の配線113Aの上面には層間接続用金属109又は第1の層間絶縁膜104のいずれかが必ず存在し、かつ、第2の層間絶縁膜117と同時に形成される空孔118へ層間接続用金属109が

埋め込まれることはない。したがって、層間接続用金属109を介した、第1の配線113A同士のショート不良及び配線と半導体基板101とのショート不良を防止できる。

【0091】(第5の実施形態)図13(a)から

(d)を参照しながら、本発明の第5の実施形態を説明する。図13(a)から(d)は、本実施形態に係る半導体装置の製造方法を示すプロセスフロー図である。図13(a)に至るまでの工程は図1(a)から(d)ならびに図8(a)および(b)と同一なので、第1の実施形態における構成要素と同一のものには同一の符号を付して、その説明を省略する。本実施形態は、第1の実施形態においてプラズマCVD装置により第2の層間絶縁膜117を堆積することに代えて、塗布法によって第2の層間絶縁膜212を形成するものである。第2の層間絶縁膜212としては、例えば有機ポリシロキサン、フッ素を含んだ有機物等の材料からなる有機膜や無機のポーラス膜等が考えられる。これらの材料は、その多くが流動性を有する。

【0092】まず、図13(a)に示すように、半導体基板201上に形成された、第1の層間絶縁膜204、層間接続用金属208、配線間隙215の上に上記材料を塗布する。このことにより、配線間隙215における溝へ、空孔を生ずることなく該流動性を有する材料を埋め込んで、第2の層間絶縁膜212を形成できる。第2の層間絶縁膜212の材料として、第1の層間絶縁膜204よりも比誘電率が低い材料を選ぶ。したがって、配線間隙215をはさむ第1の配線203間における比誘電率を低減できる。次に、図13(b)に示すように、CMP法を使用して、第1の層間絶縁膜204と層間接続用金属208と第2の層間絶縁膜212との表面が同一平面になるように、該第2の層間絶縁膜212を平坦化する。第1の層間絶縁膜204と第2の層間絶縁膜212とを異なる材料にして、第1の層間絶縁膜204のCMPにおけるエッチングレートが、第2の層間絶縁膜212のエッチングレートよりも小さくなるように設定する。このことにより、第1の層間絶縁膜204をエッチングストッパーとして利用する。

【0093】さらに図13(c)に示すように、第2の層間絶縁膜212のみを約 $0.3\mu\text{m}$ だけ深さ方向に選択的にエッチングした後、第3の層間絶縁膜214を約 $0.5\mu\text{m}$ 堆積する。再度、CMP法を使用し第1の層間絶縁膜204と層間接続用金属208と第3の層間絶縁膜214との表面が同一平面になるように、第3の層間絶縁膜214を平坦化する。

【0094】次に、図13(d)に示すように、アルミニウムとチタン合金との積層構造からなる金属層を堆積させ、フォトリソグラフィとドライエッチングとを使用して第2の配線216を形成する。

【0095】以上説明したように、本実施形態によれ

ば、第1の層間絶縁膜204よりも比誘電率が低い材料を使用した第2の層間絶縁膜212によって、配線間隙215の領域の全部を埋め込む。したがって、配線間隙215をはさむ第1の配線203間における比誘電率を低減でき、かつ、第2の層間絶縁膜212の材料によって該比誘電率を決定できる。

【0096】また、層間接続用金属208を形成した後第1の配線203を形成するので、層間接続用金属208が有する下面の全面に対して必ず第1の配線203が形成される。したがって、第1の配線203と層間接続用金属208との接続不良を防止できる。

【0097】また、第1の層間絶縁膜204の層間接続孔に層間接続用金属208を形成した後、第1の配線203と第2の層間絶縁膜212とを順次形成する。このことによって、第1の配線形成時にアライメントずれが発生しても、第1の配線203の上面には層間接続用金属208又は第1の層間絶縁膜204のいずれかが必ず存在し、かつ配線間隙215には第2の層間絶縁膜212が必ず存在する。したがって、層間接続用金属208を介した、第1の配線203同士のショート不良及び配線と半導体基板201とのショート不良を防止できる。

【0098】本実施形態においても、第1の配線203の間の領域に位置する絶縁膜202を部分的にエッチングしている。このため、配線間容量は第2の層間絶縁膜の持つ比誘電率によってほぼ支配される。もし、第1の配線203の間の領域に位置する絶縁膜202をエッチングしない場合は、第1の配線203の間の領域の近傍に位置する絶縁膜202が配線間容量をある程度増加させることになる。

【0099】また、本実施形態では、第3の層間絶縁膜214を設けているため、第2の層間絶縁膜212としてエッチング耐性またはプラズマ耐性の弱い材料からなる膜を用いても、第2の配線を形成する工程によって第2の層間絶縁膜が損傷を受けることはない。第3の層間絶縁膜としては、エッチング耐性またはプラズマ耐性の強い材料からなる膜を使用することが好ましい。そのために、第3の層間絶縁膜214の比誘電率が高くなっても第1の配線203についての配線間容量を増加させることはない。

【0100】図13(a)から(d)の実施形態では、配線間隙215に空孔を形成していないが、配線間隙215に空孔を形成しても良い。

【0101】(第6の実施形態)本実施形態では、第2の層間絶縁膜を形成するまでの工程は、第5の実施形態と同様である。本実施形態は、第2の層間絶縁膜を形成する工程に特徴を有している。以下、図14(a)および(b)ならびに(c)を参照しながら、第2の層間絶縁膜の形成工程を詳細に説明する。

【0102】図14(a)から(c)は、幅が $0.5\mu\text{m}$

m以下の比較的狭い溝(第1の間隙)115aと、幅が $0.5\mu\text{m}$ よりも大きい比較的広い溝(例えば、幅 $0.8\mu\text{m}$ 以上、第2の間隙)115bが形成された領域を示している。ここでは、第1の配線層113Aは、第1～第3の配線を含んでおり、図中中央に位置する第1の配線と左側に位置する第2の配線との間に第1の間隙115aが形成され、第1の配線と右側に位置する第3の配線との間に第2の間隙115bが形成されている。

【0103】図14(a)および(b)は、同一種類の絶縁膜から第2の層間絶縁膜117を形成した場合の断面を示している。図14(a)の例では、カバレッジが比較的悪いとされている絶縁膜を堆積している。このようなカバレッジの悪い膜としては、例えば、平行平板型プラズマCVD装置内でシラン/ N_2O 系ガスパラズマを用いて形成したプラズマ酸化膜を使用することができる。このような膜を使用すると、溝115a及び溝115bのどちらにも空孔が形成される。幅の比較的広い溝115bには大きな空孔が形成される。このため、溝115b内の空孔の上部は、CMPによる研磨予定ラインで示されるレベルを越えることがあり得る。そのような大きな空孔が形成されていると、CMPによる研磨後に研磨面から空孔が露出してしまうことがある。研磨によって空孔が露出すると、第2層配線の断線不良やショート不良の恐れがある。

【0104】一方、図14(b)の例では、埋め込み性能の良いとされる絶縁膜を第2の層間絶縁膜117として堆積している。このような埋め込み性能の良い膜としては、例えば、ハイドンシティブラズマ(HDP)を用いて形成したプラズマ酸化膜を使用することができる。このような膜を使用すると、第2の層間絶縁膜117は、幅の比較的狭い溝115aの底面および側面にも堆積される。その結果、溝115a内には、溝のサイズよりも小さな空孔が形成される。幅の比較的広い溝115bの内部は、第2の層間絶縁膜117によって埋められ、そこに空孔は観察されない。HDP層は、HDP装置を用いて形成される。このHDP装置内において、基板にバイアス電圧を印加しながらHDP膜の堆積を行うと、堆積中に、堆積と競合するようにエッチング現象も生じるため、絶縁膜が溝の底面に堆積し埋め込み性能があがる。この場合には、空孔の上部がCMPの研磨ラインによって示されるレベルに達することはない。しかしながら、溝115a内の空孔が小さくなるため、配線間における容量低減効果は少ない。

【0105】図14(c)に示す本実施形態では、両者のメリットをとりいれる。すなわち、少なくとも2種類の異なる形成方法によって形成した絶縁層から第2の層間絶縁膜117を形成する。より詳細には、まず、第1層間絶縁層117aで幅の比較的狭い溝115aの上部を実質的に覆いつくした後、第2層間絶縁層117b

によって他の幅の広い溝115bを埋め込む。具体的には、平行平板型プラズマCVD装置内でシラン/ N_2O 系ガスパラズマを用いて第1層間絶縁層117aを形成した後、HDP装置内において基板にバイアス電圧を印加しながら第2層間絶縁層117bを堆積すればよい。

【0106】第1層間絶縁層117aおよび第2層間絶縁層117bは典型的にはシリコン酸化膜から形成され得るが、第2層間絶縁層117bは、例えばポリアリルエーテル等の低誘電率有機塗布膜から形成しても良い。なお、第1層間絶縁層117aは、例えばシランガス、酸素ガスおよびアルゴンガスを用いて圧力5mTorrのもとで堆積され得る。

【0107】図14(c)の実施形態によれば、第1の間隙115aに大きな空孔が形成され、第2の間隙115bが第2層間絶縁層117bによって埋め込まれ、CMPによる研磨で空孔が露出することもない。

【0108】空孔の大きさ(配線間隙に占める割合)を増大させると、空孔の上部が高くなる。空孔の大きさおよび空孔の高さは、第1の層間絶縁膜117aおよび第2層間絶縁膜117bの厚さを調整することによって最適化され得る。

【0109】次に、本実施形態によって作製した多層配線構造の評価結果を示す。

【0110】まず、図15(a)、15(b)および15(c)を参照する。図15(a)は配線間隙と空孔の位置関係とを示している。ここで、「H」は第1の配線層の上面から空孔の頂点までの距離を示し、「D」は第1の配線層の下面から空孔の底点までの距離を示している。空孔の占有率「R」は、配線間隙Sに対する空孔の幅Wの割合を示す。

【0111】図15(b)は、空孔の占有率Rの配線間隙Sに対する依存性を示す。空孔の占有率Rは、 $S=0.8\mu\text{m}$ 以下の場合に0を越える正の値を示している。占有率Rは、配線間隙Sの縮小に伴って増加する。 $S=0.3\mu\text{m}$ のとき、占有率Rは0.9程度の値を示している。

【0112】図15(c)は、HおよびDの配線間隙依存性を示す。Hの値はいかなる配線間隙においても500nmを越えることなく、予定されるCMPの研磨ライン(配線上800～1000nm)に達することはない。すなわち、CMPによって層間絶縁膜117を平坦化した後においても、空孔が露出することがない。このため、2層目配線の歩留まりは低下しない。

【0113】次に、図16を参照しながら、本実施形態によって作製した多層配線の配線間容量の低減効果を説明する。図16には、比較例として、空孔を配線間に形成しなかった場合のデータを○印で示す。比較例の場合、配線間隙が小さくなるにしたがって単位長あたりの配線間容量が増加するのに対して、本実施形態の配線間容量は、配線間隙が小さくなるに従ってむしろ小さく

る。配線間容量の低下は、配線間隙が小さくなるにしたがって、空孔の配線間隙に対する占有率Rが高くなることに起因して生じると考えられる。

【0114】次に、17(a)および(b)を参照する。

【0115】本実施形態による配線間容量の低減効果が、低誘電率層間膜を使用した場合の配線間容量低減効果とを比較する。

【0116】図17(a)は、計算(シミュレーション)に用いたモデルの構成を示す断面図である。図17(b)は、実効比誘電率の配線間隔依存性を示している。この実効比誘電率は、ある比誘電率をもつ均一な媒体が層間絶縁膜として用いられた場合の配線間の容量(単位長さあたり)を計算によって求め、その容量を実測により求めた容量と比較することによって決定された。図17(b)の□印で示されるように、本実施形態では、配線間隙が小さくなるにしたがって実効比誘電率は減少する。配線間隙が $0.8\mu\text{m}$ 以下になると、配線間隙内に空孔が形成される。空孔が形成されると、実効比誘電率は急激に低下する。配線間隙が $0.3\mu\text{m}$ のとき、実効比誘電率は1.8程度に低下する。

【0117】図18は、層間接続用金属(ビア)の抵抗値と層間接続用金属の直径(ビア直径)との関係を示している。本実施形態と空孔が形成されない比較例とを比べても、両者のビア抵抗値に大きな差はない。

【0118】図19は、第1の配線層と層間接続用金属との間のアライメントシフト量に対するビア抵抗値の依存性を示す。アライメントシフト量とは、層間接続用金属と第1の配線層との位置あわせずれの大きさを示している。測定に使用したパターンでは、第1の配線層の幅とビア直径とは同じ大きさであるため、第1の配線層と層間接続用金属との重ねあわせマージンはない。図19からわかるように、従来例では、アライメントシフト量が増加するにしたがってビア抵抗値は増大しているが、本実施形態では、ビア抵抗がアライメントシフトによらず一定の値を維持している。これは、アライメントずれが発生しても、第1の配線層の上面には確実に層間接続用金属が存在するために、第1の配線と層間接続用金属との接触面積は常に最大値に維持されるからである。

【0119】なお、第2の層間絶縁膜117は層間接続用金属109の形成後に堆積されるため、第2の層間絶縁膜117の堆積と同時に形成される空孔が層間接続用金属109と接触することはない。したがって、層間接続用金属109を介した第1の配線113A同士のショート不良も、配線と半導体基板101との間のショート不良も発生しない。

【0120】なお、第1の配線層の材料は、Alに限定されない。例えば、Cuであってもよい。第2の層間絶縁膜117を構成する第2層間絶縁層117bとしてプラズマ酸化膜を用いる代わりに、埋め込み性能のよい塗

布絶縁膜を用いても良い。また、図14(c)を参照しながら説明した第2の層間絶縁膜の形成方法は、他の実施形態に適用しても良い効果が得られる。

【0121】上記の各実施形態では、通常のシリコン基板を用いた半導体装置について本発明を説明してきたが、本発明はこれに限定されるわけではない。多層配線構造を有する半導体装置であれば、シリコン以外の半導体基板やSOI基板を用いたものであっても良い。

【0122】

【発明の効果】本発明によれば、層間接続用金属が有する下面の全面に対して必ず第1の配線が形成されるので、第1の配線を形成する際にアライメントずれした場合においても、該第1の配線と層間接続用金属との接続不良を確実に防止できる。また、第2の層間絶縁膜と同時に形成される空孔へ層間接続用金属が埋め込まれることもない。したがって、層間接続用金属を介した第1の配線同士のショート不良及び配線と半導体基板とのショート不良を防止できる。

【0123】また、配線間隙の一部若しくは全部が空気よりなる空孔を形成し、又は配線間隙の全部が低比誘電率の材料によって埋め込めば、該配線間隙をはさむ第1の配線間における比誘電率を低減できる。したがって、該第1の配線間における信号の遅延を抑制して、動作マージンが広く誤動作しにくい半導体装置を実現できる。

【0124】また、層間接続用金属が有する側面の大部分が第2の配線に接触するので、第2の配線を形成する際にアライメントずれした場合においても、該第2の配線と層間接続用金属との接続において信頼性を向上できる。

【0125】また、第1の配線形成時にアライメントずれが発生しても、第1の配線の上面には層間接続用金属又は第1の層間絶縁膜のいずれかが必ず存在し、かつ、第2の層間絶縁膜と同時に形成される空孔へ層間接続用金属が埋め込まれることはない。したがって、層間接続用金属を介した第1の配線同士のショート不良及び配線と半導体基板とのショート不良を防止できる。

【図面の簡単な説明】

【図1】(a)から(d)は、本発明の第1の実施形態に係る半導体装置の製造方法を示すプロセスフロー図である。

【図2】(a)から(c)は、本発明の第1の実施形態に係る半導体装置の製造方法を示すプロセスフロー図である。

【図3】(a)は、本発明の第1の実施形態に係る半導体装置における、アライメントずれの有無に対応した第1の配線と層間接続用金属との位置関係を示す平面図、(b)はその斜視図である。

【図4】(a)から(c)は、本発明の第2の実施形態

に係る半導体装置の製造方法を示すプロセスフロー図である。

【図5】(a)から(d)は、本発明の第3の実施形態に係る半導体装置の製造方法を示すプロセスフロー図である。

【図6】本発明の第3の実施形態に係る半導体装置における、アライメントずれの有無に対応した配線溝と、層間接続用金属との位置関係を示す斜視図である。

【図7】(a)から(d)は、本発明の第4の実施形態に係る半導体装置の製造方法を示す工程断面図である。

【図8】(a)から(c)は、本発明の第4の実施形態に係る半導体装置の製造方法を示す工程断面図である。

【図9】(a)および(b)は、本発明の第4の実施形態に係る半導体装置の製造方法を示す工程断面図である。

【図10】(a)および(b)は、空孔の形態を示す断面図。

【図11】(a)および(b)は、空孔の他の形態を示す断面図。

【図12】(a)および(b)は、空孔の更に他の形態を示す断面図。

【図13】(a)から(d)は、本発明の第5の実施形態に係る半導体装置の製造方法を示す工程断面図である。

【図14】(a)から(c)は、本発明による半導体装置の製造方法の第6の実施形態を示す工程断面図である。

【図15】(a)から(c)は、本発明による半導体装置の他の実施形態における空孔の各寸法を示す図である。

【図16】本発明による半導体装置のある実施形態における配線間隔と単位長あたりの配線間容量との関係を示す図である。

【図17】(a)は、半導体装置の配線間容量を計算す

るための配線構造の断面図であり、(b)は、配線間隔と実効比誘電率との関係を示すグラフである。

【図18】本発明の半導体装置のある実施形態におけるビアの直径とビア抵抗との関係を示すグラフである。

【図19】本発明の半導体装置のある実施形態における第1の配線層とビアとの間にあるアライメントシフト量とビア抵抗との関係を示すグラフである。

【図20】従来の半導体装置の構造を示す断面図である。

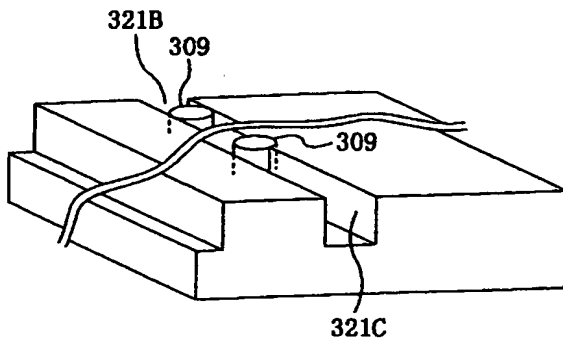
【図21】(a)および(b)は、従来の半導体装置の製造方法を示すプロセスフロー図である。

【図22】(a)から(c)は、従来の半導体装置の製造方法を示すプロセスフロー図である。

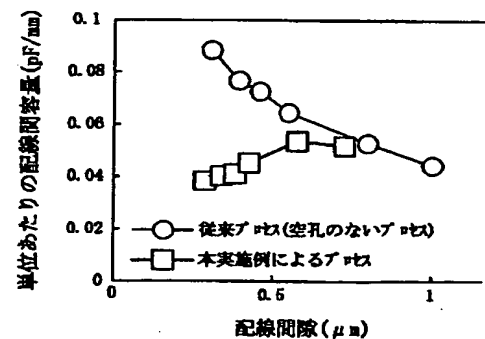
【符号の説明】

- 101 半導体基板
- 102 絶縁膜
- 103 第1の金属層
- 104 第1の層間絶縁膜
- 105 層間接続用レジストパターン
- 106 層間接続孔
- 107 アドヒージョンレイヤー
- 108 層間接続材料
- 208 層間接続用金属
- 110 第1の配線用レジストパターン (第1の配線用パターン)
- 111 ずれ寸法
- 112 アライメントずれ部分
- 114 配線間隙
- 115 溝
- 116 第1の配線がないフィールド部分
- 117 第2の層間絶縁膜
- 118 空孔
- 119 第2の配線

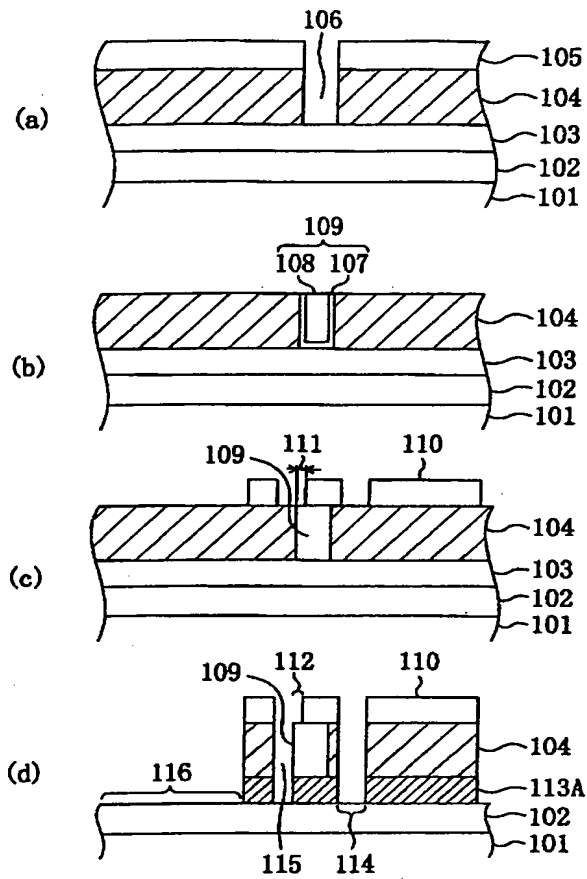
【図6】



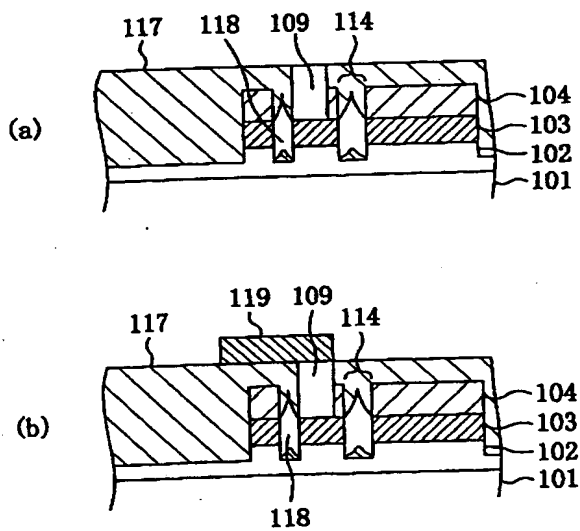
【図16】



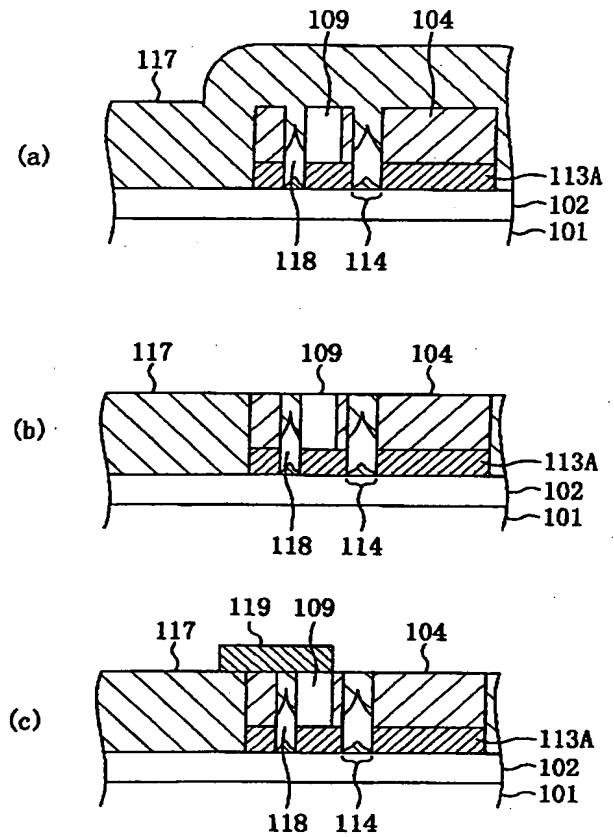
【図1】



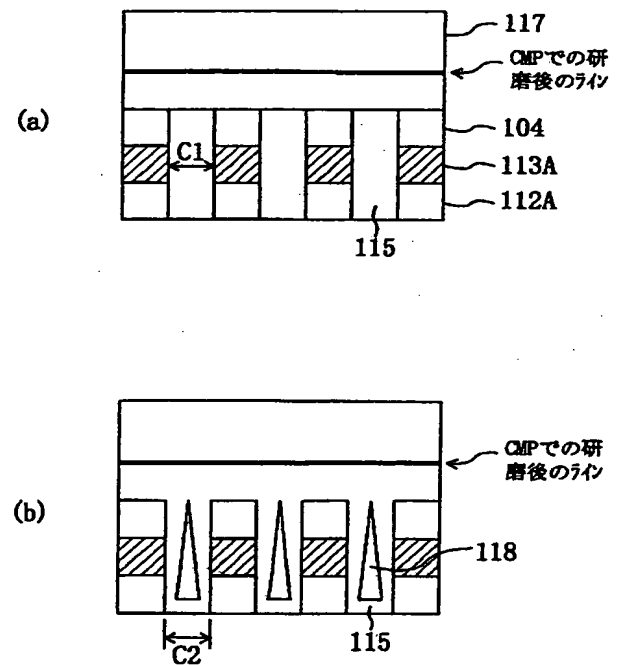
【図9】



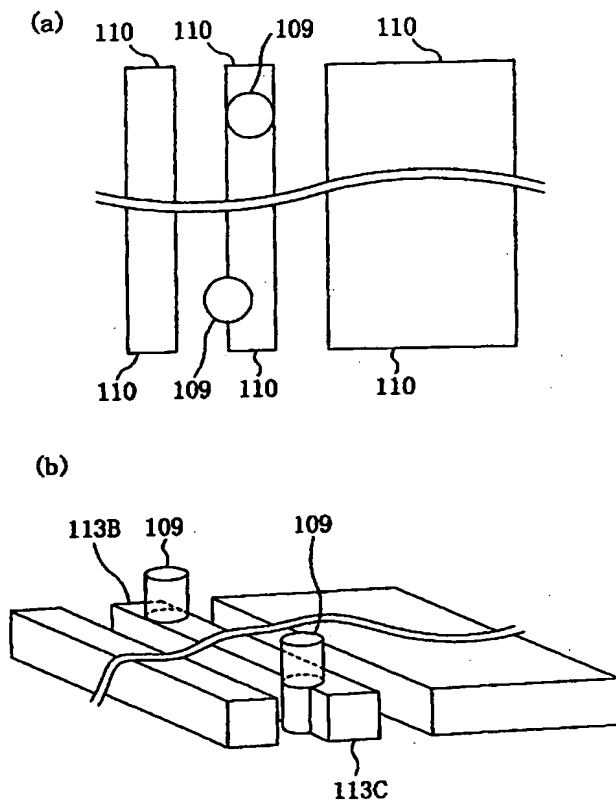
【図2】



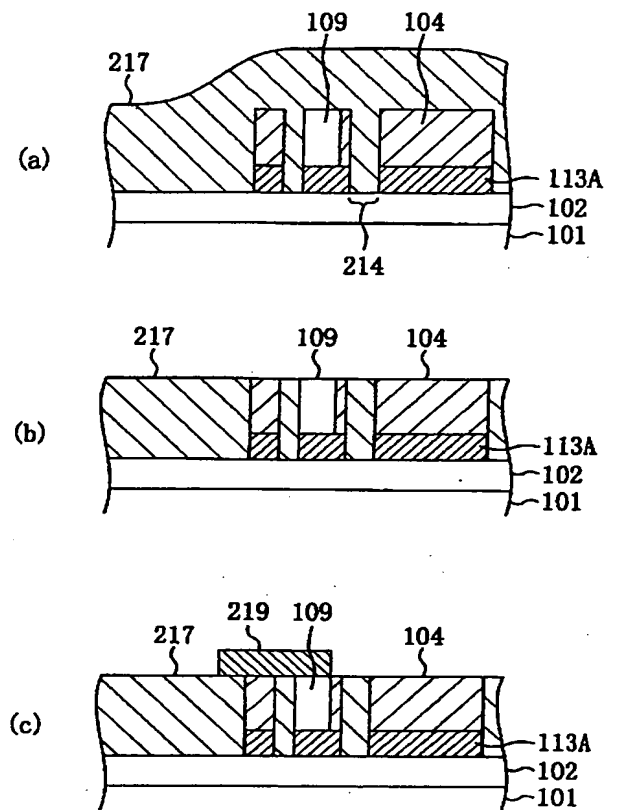
【図10】



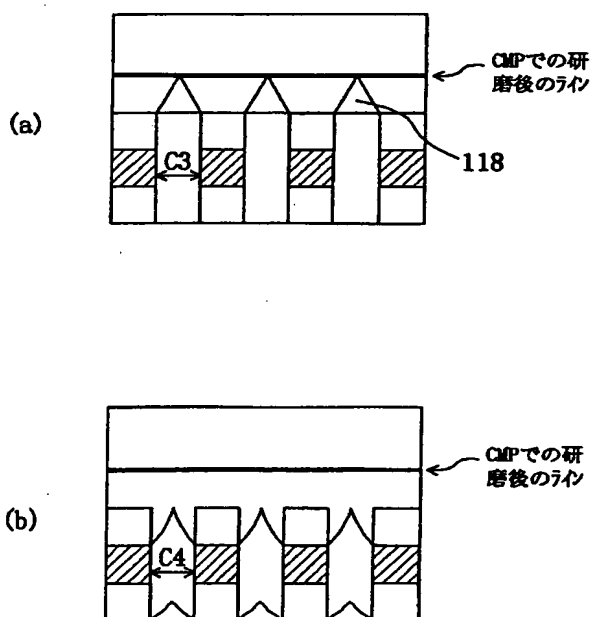
【図3】



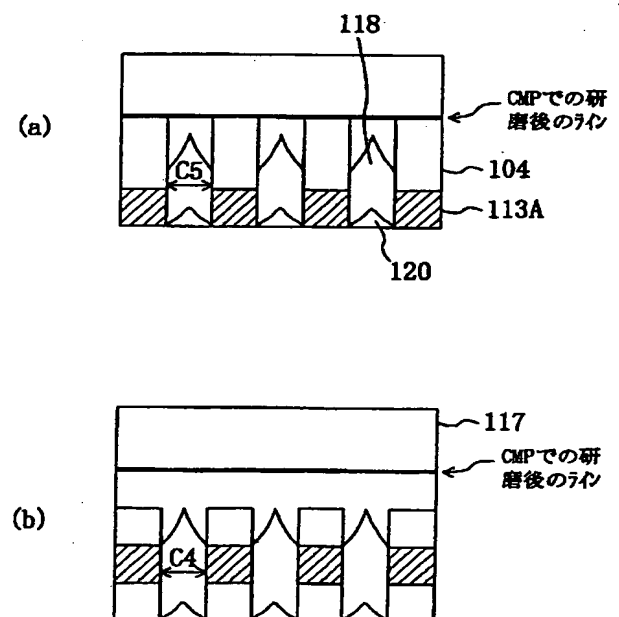
【図4】



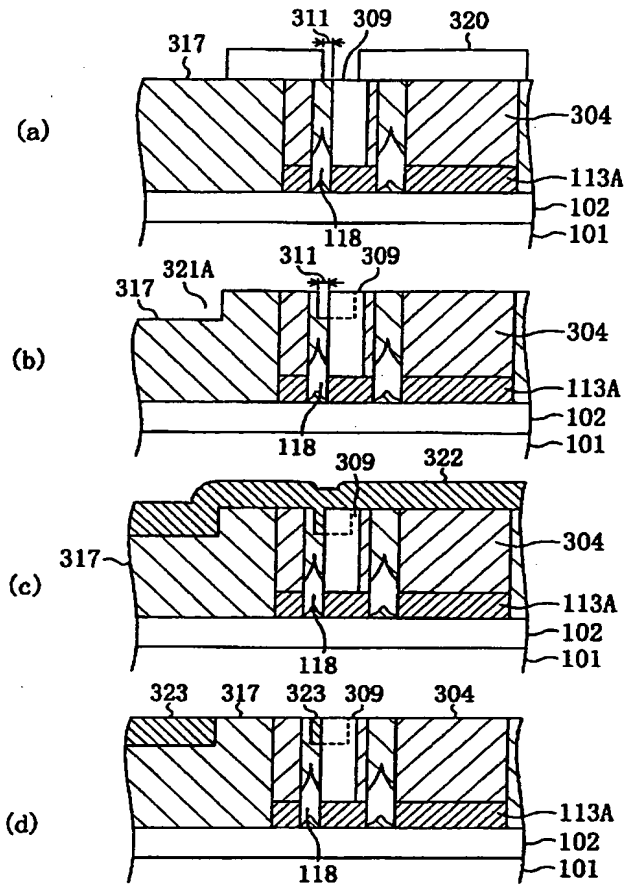
【図11】



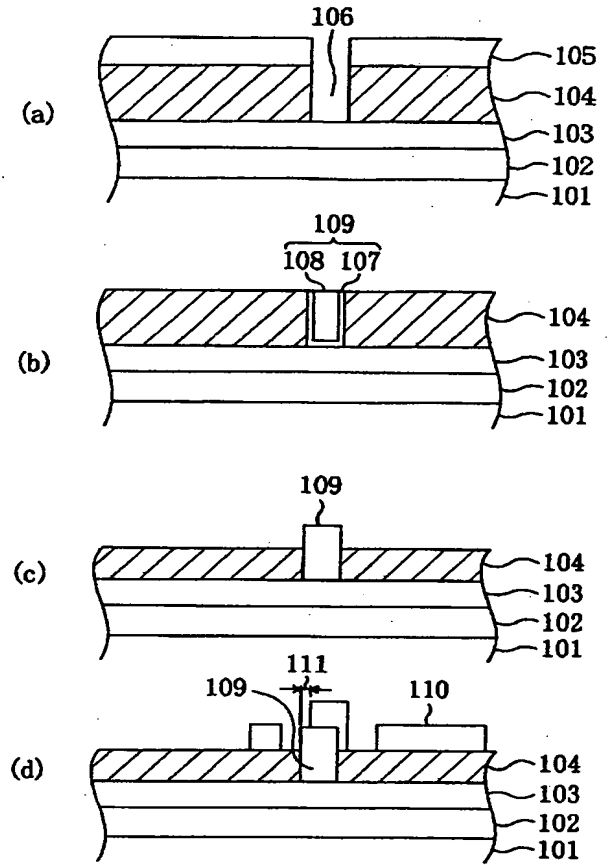
【図12】



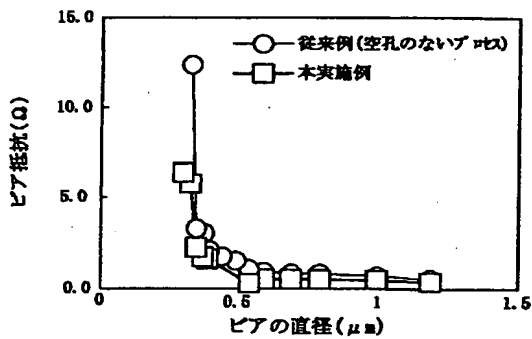
【図5】



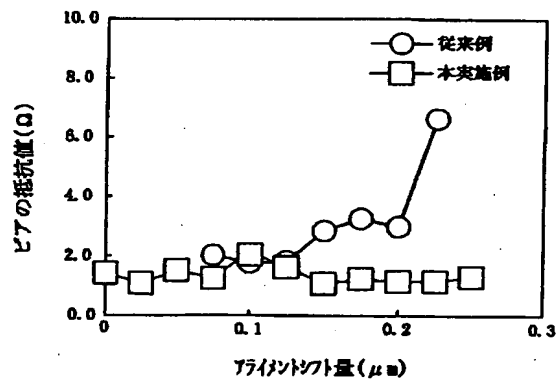
【図7】



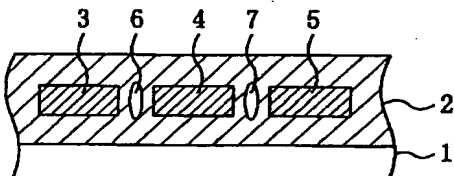
【図18】



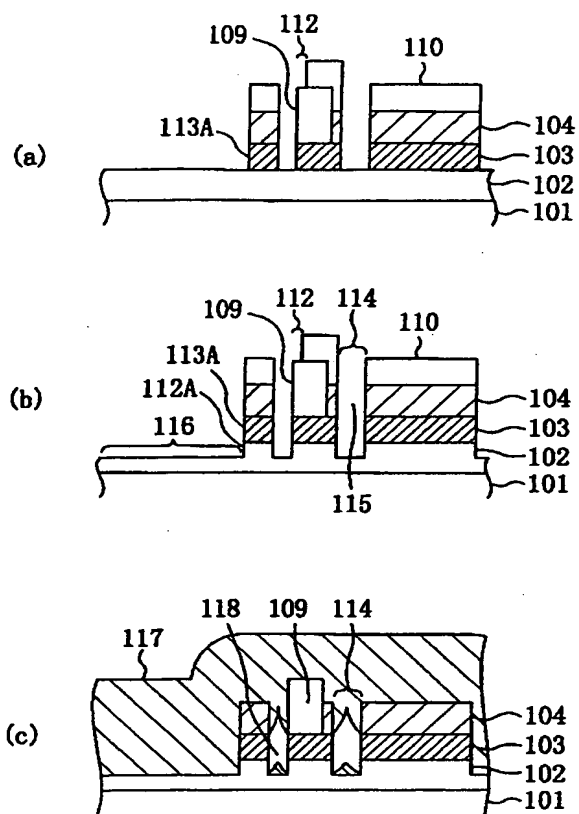
【図19】



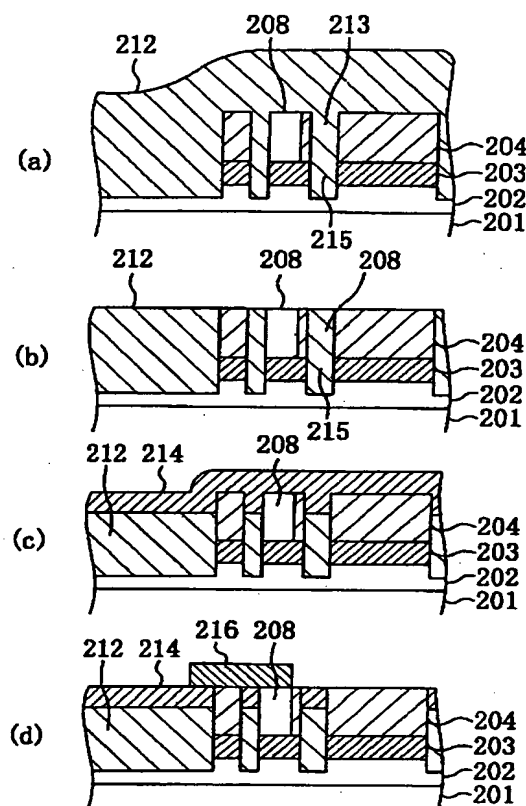
【図20】



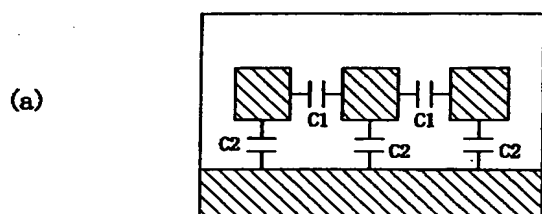
【図8】



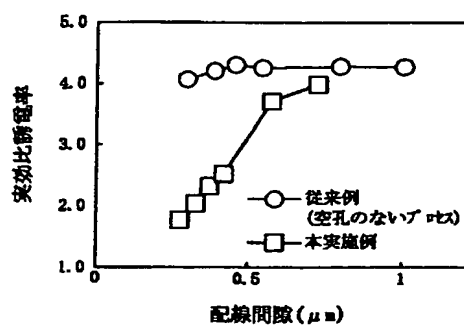
【図13】



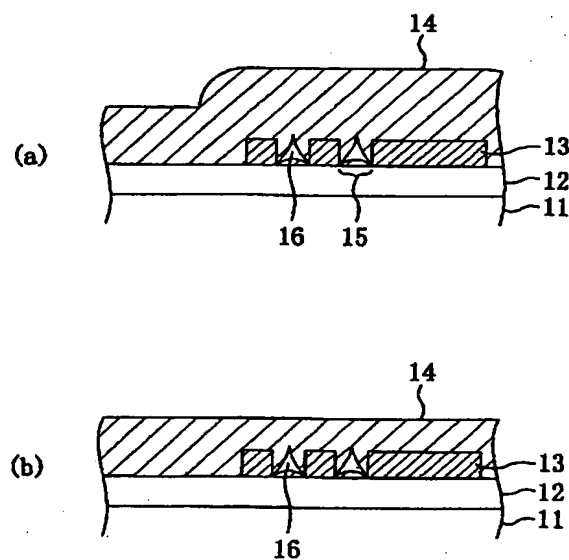
【図17】



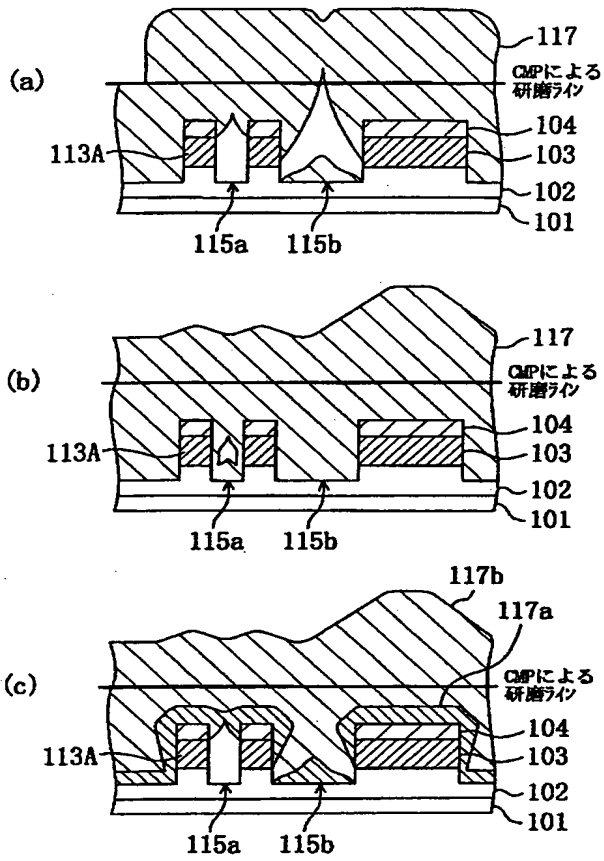
(b)



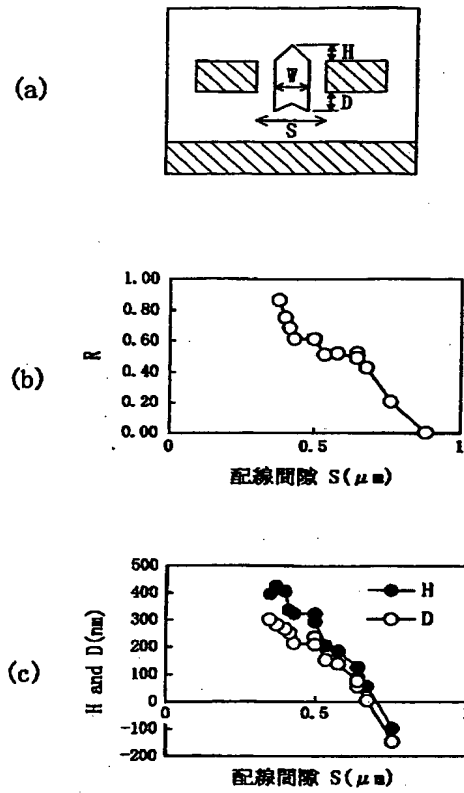
【図21】



【図14】



【図15】



【図22】

